

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of :  
Hiroyasu NODA :  
Serial No. NEW : **Attn: APPLICATION BRANCH**  
Filed December 1, 2003 : Attorney Docket No. 2003-1734A

EXTENDING CIRCUIT FOR MEMORY AND  
TRANSMITTING-RECEIVING DEVICE  
USING EXTENDING CIRCUIT FOR  
MEMORY

---

**CLAIM OF PRIORITY UNDER 35 USC 119**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Applicant in the above-entitled application hereby claims the date of priority under the International Convention of Japanese Patent Application No. 2002-349430, filed December 2, 2002, as acknowledged in the Declaration of this application.

A certified copy of said Japanese Patent Application is submitted herewith.

Respectfully submitted,

Hiroyasu NODA

By Thomas D. Robbins

Thomas D. Robbins  
Registration No. 43,369  
for Nils E. Pedersen  
Registration No. 33,145  
Attorney for Applicant

NEP/TDR/krq  
Washington, D.C. 20006-1021  
Telephone (202) 721-8200  
Facsimile (202) 721-8250  
December 1, 2003

THE COMMISSIONER IS AUTHORIZED  
TO CHARGE ANY DEFICIENCY IN THE  
FEES FOR THIS PAPER TO DEPOSIT  
ACCOUNT NO. 23-0975

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年12月 2日

出 願 番 号

Application Number:

特願2002-349430

[ ST.10/C ]:

[ JP 2002-349430 ]

出 願 人

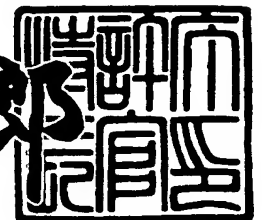
Applicant(s):

沖電気工業株式会社

2003年 6月 2日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3042804

【書類名】 特許願

【整理番号】 SA003776

【あて先】 特許庁長官殿

【国際特許分類】 G11C 7/00

【発明者】

    【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会  
社内

    【氏名】 野田 博康

【特許出願人】

    【識別番号】 000000295

    【氏名又は名称】 沖電気工業株式会社

【代理人】

    【識別番号】 100082050

    【弁理士】

    【氏名又は名称】 佐藤 幸男

【手数料の表示】

    【予納台帳番号】 058104

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9100477

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 拡張用 F I F O 回路及び送受信装置

【特許請求の範囲】

【請求項 1】 メモリ容量を拡張すべく内部 F I F O 回路を有し、既存の F I F O 回路に接続される拡張用 F I F O 回路であって、

次段 F I F O 回路のステータス信号がデータ書き込み可能を示すと、次段 F I F O 回路のライトイネーブル信号をアサートし、該次段 F I F O 回路にデータ書き込みを可能にする出力データ有効信号発生器と、

前記次段 F I F O 回路のステータス信号を受け入れて、該次段 F I F O 回路がデータ書き込み不可であると、内部 F I F O ライトイネーブル信号をアサートし、前記内部 F I F O 回路へのデータ書き込みを可能にする内部 F I F O ライトイネーブル発生器とを含むことを特徴とする拡張用 F I F O 回路。

【請求項 2】 請求項 1 に記載の拡張用 F I F O 回路において、

前記次段 F I F O 回路のステータス信号、及び前記内部 F I F O 回路のステータス信号を受け入れて、該次段 F I F O 回路がデータ書き込み可能であり、且つ、前記内部 F I F O 回路内にデータが格納されていると内部 F I F O リードイネーブル信号をアサートし、前記内部 F I F O 回路内のデータを読み込み可能にする内部 F I F O リードイネーブル発生器と、

入力データを受け入れて次段 F I F O 回路へ出力し、前記内部 F I F O リードイネーブル信号がアサートすると前記入力データに換えて前記内部 F I F O 回路内のデータを読み出して前記次段 F I F O 回路に出力する出力データ発生器とを更に含むことを特徴とする拡張用 F I F O 回路。

【請求項 3】 メモリ容量を拡張すべく、送信 F I F O 回路及び受信 F I F O 回路の何れか一方に、請求項 2 に記載の拡張用 F I F O 回路を切換接続可能とする送受信装置であって、

送信信号系統及び受信信号系統の何れか一方を前記拡張用 F I F O 回路へ切換接続可能とする第 1 のセクタと、

前記送信 F I F O 回路及び前記受信 F I F O 回路の何れか一方のステータス信号を前記拡張用 F I F O 回路の前記内部 F I F O ライトイネーブル発生器と前記

出力データ有効信号発生器と前記内部 F I F O リードイネーブル発生器へ切換接続可能とする第 2 のセレクトと、

前記拡張用 F I F O 回路の前記出力データ発生器と前記出力データ有効信号発生器、及び前記送信信号系統の何れか一方を前記送信 F I F O 回路へ切換接続可能とする第 3 のセレクトと、

前記拡張用 F I F O 回路の前記出力データ発生器と前記出力データ有効信号発生器、及び前記受信信号系統の何れか一方を前記受信 F I F O 回路へ切換接続可能とする第 4 のセレクトとを含むことを特徴とする拡張用 F I F O 回路を用いた送受信装置。

【請求項 4】 請求項 3 に記載の拡張用 F I F O 回路を用いた送受信装置において、

前記送信 F I F O 回路及び前記受信 F I F O 回路のステータス信号を受け入れて、前記送信 F I F O 回路がデータ書き込み可能であり、前記受信 F I F O 回路がデータ書き込み不可であると、前記第 1 のセレクトを前記受信信号系統に、前記第 2 のセレクト及び前記第 3 のセレクトを前記受信セレクトに切換接続させ、

前記送信 F I F O 回路及び前記受信 F I F O 回路のステータス信号を受け入れて、前記受信 F I F O 回路がデータ書き込み可能であり、前記送信 F I F O 回路がデータ書き込み不可であると、前記第 1 のセレクトを前記送信信号系統に、前記第 2 のセレクト及び前記第 3 のセレクトを前記送信セレクトに切換接続させる制御部を更に含むことを特徴とする拡張用 F I F O 回路を用いた送受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタルデータ通信等に用いられる拡張用 F I F O ( F i r s t I n F i r s t O u t ) 回路及びその拡張用 F I F O を用いた送受信装置に関する。

【0002】

【従来の技術】

デジタルデータ通信では、送信側と受信側とのデータ処理速度は原則として



等しくなければならない。しかし、特に移動体通信等の分野では、平均データ処理速度は両者同じであるが、短時間の間では、両者間の処理速度に差異が発生し得る。かかる場合に、処理速度の差異を吸収すべく F I F O 回路が用いられる。F I F O 回路は、文字通り、データを入力された順番に出力する、先入れ先出し回路である。この F I F O 回路のメモリ容量は、大きければ大きい程、瞬時的に大きな速度差を吸収できる。しかし、メモリ容量の拡大にはコストアップが伴う。そこで、通常は、F I F O 回路の用途等に応じてコストアップと処理能力とのバランスを考慮し、メモリ容量が固定的に定められている。但し、F I F O 回路の用途を変更した場合等において、後からメモリ容量を拡張する技術等も一部公開されている（例えば、特許文献 1 参照）。

## 【 0 0 0 3 】

この出願の発明に関連する先行技術文献情報としては次のものがある。

## 【特許文献 1】

特開平 0 5 - 0 2 0 8 6 4 号公報

## 【 0 0 0 4 】

## 【発明が解決しようとする課題】

上記従来技術では、F I F O 回路のメモリ容量が足りなくなった場合等に、後からメモリ容量を拡張することは難しい。上記特許文献 1 のように、後からメモリ容量を拡張する技術等も一部公開されているが、メモリ容量の拡張には、種々の制約が伴い、既存の F I F O 回路のメモリ容量を即座に、且つ、簡単に拡大することは困難である。かかる場合に、必要に応じてメモリ容量を即座に、且つ、簡単に拡大することを可能にする拡張用 F I F O 回路を得ることが本発明の目的である。

## 【 0 0 0 5 】

又、通信装置等の使用環境の変化によっては、既存の送信 F I F O 回路、及び、受信 F I F O 回路の何れか一方のメモリ容量が不足し、他方に余裕が有る場合があり得る。更に、急にその状態が逆転する場合もあり得る。このような場合に上記拡張用 F I F O 回路を瞬時に受信 F I F O 回路、又は送信 F I F O 回路へ切換接続することによって、少ないメモリ容量で正常な送受信ができる送受信装置

を實現することも本發明の目的である。

【 0 0 0 6 】

【課題を解決するための手段】

本發明は以上の点を解決するため次の構成を採用する。

〈構成 1〉

メモリ容量を拡張すべく内部 F I F O 回路を有し、既存の F I F O 回路に接続される拡張用 F I F O 回路であって、次段 F I F O 回路のステータス信号がデータ書き込み可能を示すと、次段 F I F O 回路のライトイネーブル信号をアサートし、該次段 F I F O 回路にデータ書き込みを可能にする出力データ有効信号発生器と、上記次段 F I F O 回路のステータス信号を受け入れて、該次段 F I F O 回路がデータ書き込み不可であると、内部 F I F O ライトイネーブル信号をアサートし、上記内部 F I F O 回路へのデータ書き込みを可能にする内部 F I F O ライトイネーブル発生器とを含むことを特徴とする拡張用 F I F O 回路。

【 0 0 0 7 】

〈構成 2〉

構成 1 に記載の拡張用 F I F O 回路において、上記次段 F I F O 回路のステータス信号、及び上記内部 F I F O 回路のステータス信号を受け入れて、該次段 F I F O 回路がデータ書き込み可能であり、且つ、上記内部 F I F O 回路内にデータが格納されていると内部 F I F O リードイネーブル信号をアサートし、上記内部 F I F O 回路内のデータを読み込み可能にする内部 F I F O リードイネーブル発生器と、入力データを受け入れて次段 F I F O 回路へ出力し、上記内部 F I F O リードイネーブル信号がアサートすると上記入力データに換えて上記内部 F I F O 回路内のデータを読み出して上記次段 F I F O 回路に出力する出力データ発生器とを更に含むことを特徴とする拡張用 F I F O 回路。

【 0 0 0 8 】

〈構成 3〉

メモリ容量を拡張すべく、送信 F I F O 回路及び受信 F I F O 回路の何れか一方に、構成 2 に記載の拡張用 F I F O 回路を切換接続可能とする送受信装置であって、送信信号系統及び受信信号系統の何れか一方を上記拡張用 F I F O 回路へ

切換接続可能とする第 1 のセレクトと、上記送信 F I F O 回路及び上記受信 F I F O 回路の何れか一方のステータス信号を上記拡張用 F I F O 回路の上記内部 F I F O ライトイネーブル発生器と上記出力データ有効信号発生器と上記内部 F I F O リードイネーブル発生器へ切換接続可能とする第 2 のセレクトと、上記拡張用 F I F O 回路の上記出力データ発生器と上記出力データ有効信号発生器、及び上記送信信号系統の何れか一方を上記送信 F I F O 回路へ切換接続可能とする第 3 のセレクトと、上記拡張用 F I F O 回路の上記出力データ発生器と上記出力データ有効信号発生器、及び上記受信信号系統の何れか一方を上記受信 F I F O 回路へ切換接続可能とする第 4 のセレクトとを含むことを特徴とする拡張用 F I F O 回路を用いた送受信装置。

【 0 0 0 9 】

## 〈構成 4〉

構成 3 に記載の拡張用 F I F O 回路を用いた送受信装置において、上記送信 F I F O 回路及び上記受信 F I F O 回路のステータス信号を受け入れて、上記送信 F I F O 回路がデータ書き込み可能であり、上記受信 F I F O 回路がデータ書き込み不可であると、上記第 1 のセレクトを上記受信信号系統に、上記第 2 のセレクト及び上記第 3 のセレクトを上記受信セレクトに切換接続させ、上記送信 F I F O 回路及び上記受信 F I F O 回路のステータス信号を受け入れて、上記受信 F I F O 回路がデータ書き込み可能であり、上記送信 F I F O 回路がデータ書き込み不可であると、上記第 1 のセレクトを上記送信信号系統に、上記第 2 のセレクト及び上記第 3 のセレクトを上記送信セレクトに切換接続させる制御部を更に含むことを特徴とする拡張用 F I F O 回路を用いた送受信装置。

【 0 0 1 0 】

## 【発明の実施の形態】

以下、本発明の実施の形態を具体例を用いて説明する。

## 〈具体例 1〉

本具体例では、既存の F I F O 回路のメモリ容量を拡張するための F I F O 回路を内部に所有し、該既存の F I F O 回路の前後に即座に、且つ、簡単に接続しうる拡張用 F I F O 回路を実現する。この拡張用 F I F O 回路には、先入れ先出



しの原則を維持すべく以下の4機能が付加される。(1)次段のF I F O回路への書き込みが可能なとき、即ち、次段のF I F O回路が空いている場合には、入力データを直接次段のF I F O回路へ送る。(2)次段のF I F O回路への書き込みが不可なとき、即ち、次段のF I F O回路がフル(空いていない)の場合には、入力データを内部に所有するF I F O回路へ格納する。

## 【 0 0 1 1 】

(3)次段のF I F O回路への書き込みが可能なとき、即ち、次段のF I F O回路が空いている場合であって、且つ、内部に所有するF I F O回路にデータが格納されている場合には、このデータを次段のF I F O回路へ送る。(4)次段のF I F O回路への書き込みが可能なとき、即ち、次段のF I F O回路が空いている場合であって、内部に所有するF I F O回路にデータが格納されており、且つ、入力データを受け入れたときは、内部F I F O回路に格納されているデータを優先して次段のF I F O回路へ送る。

## 【 0 0 1 2 】

更に、該既存のF I F O回路の前後に即座に、且つ、簡単に接続しうるように、内部に所有するF I F O回路と、上記4つの機能を付加するために備える付加回路とを含めてブロック化し、そのブロックの入出力ノードを既存のF I F O回路と類似させる。以上の目的を達成するために本具体例の拡張用F I F O回路は以下のように構成される。

## 【 0 0 1 3 】

図1は、具体例1の構成のブロック図である。

図より、具体例1の拡張用F I F O回路10は、内部F I F O回路1、出力データ有効信号発生器2、内部F I F Oライトイネーブル発生器3、内部F I F Oリードイネーブル発生器4、出力データ発生器5とを備える。

## 【 0 0 1 4 】

内部F I F O回路1は、従来(既存)のF I F Oと同様であり、クロック信号を受け入れるCLKノード、ライトイネーブル信号を受け入れるWEノード、リードイネーブル信号を受け入れるREノード、入力データを受け入れるD I Nノード、データを出力するD O U Tノード、内部のライトカウンタの値とリードカ

ウンタの値の差をステータス信号として出力するSTノードとを有する。

【0015】

上記各ノードでの信号のタイミングについて図を用いて説明する。

図2は、内部FIFO回路のタイムチャートである。

図の上から順番にCLKノード、WEノード、REノード、DINノード、DOUTノード、STノード、ライトカウンタ、リードカウンタでの信号の状態を示し、最下段に各信号状態に共通の時刻領域を表している。各時刻領域での各信号の状態の一例について説明する。ここで、WEノード、REノードは、ローレベル（Lレベル）がアサート状態であるものとする。

【0016】

・時刻領域 a

WEノード及び、REノードは、共にハイレベル（Hレベル）でありライトカウンタ、リードカウンタ共0なのでSTノードは0の状態を維持している。

・時刻領域 b

WEノードがアサート（Lレベル）され、DINノードにデータ0が入力される。このデータ0は内部メモリに格納される（図示せず）。

【0017】

・時刻領域 c

ライトカウンタは、時刻領域bでのデータ0を1クロック遅れてカウントし、1となる。従って、STノードは、1になる。

・時刻領域 d

WEノードがHレベルのまま、REノードがアサート（Lレベル）されると内部メモリに格納されているデータ0はDOUTノードから出力される。

【0018】

・時刻領域 e

REノードがHレベルのままWEノードがアサートされDINノードにデータ1が入力される。このデータ1は内部メモリに格納される。リードカウンタは、時刻領域dでのデータ0を1クロック遅れてカウントし、1となる。従って、ST端子は、0になる。

## ・時刻領域 f

WE ノードがアサートされ DIN ノードにデータ 2 が入力される。このデータ 2 は、内部メモリに格納される。更に RE ノードがアサートされ時刻領域 e で格納されたデータ 1 が DOUT ノードから出力される。ライトカウンタは、時刻領域 e でのデータ 1 を 1 クロック遅れてカウントして 2 となる。従って、ST カウンタは、1 になる。

【 0 0 1 9 】

## ・時刻領域 g

WE ノードが H レベルのまま、RE ノードがアサートされ、時刻領域 f で格納されたデータ 2 が DOUT ノードから出力される。ライトカウンタは、時刻領域 f でのデータ 2 を 1 クロック遅れてカウントし、3 となる。リードカウンタは、領域 f でのデータ 1 を 1 カウント遅れてカウントし、2 となる。従って、ST カウンタは、1 になる。

以下時刻領域 h まで同様の動作が繰り返される。

【 0 0 2 0 】

以上説明したように、内部 FIFO 回路 1 への入力データ (DIN) は、WE ノードが L レベル (アサート) のときにクロック信号 (CLK) に同期して内部メモリに格納される。格納されると 1 クロック遅れてライトカウンタが 1 増加する。又、RE ノードが L レベル (アサート) のときにクロック信号 (CLK) に同期して内部メモリに格納されているデータが読み出される。更に、ステータス信号 (ST) は、ライトカウンタのカウント値とリードカウンタのカウント値の差であり、内部メモリに格納されているデータ量を表している。

【 0 0 2 1 】

再度図 1 に戻って具体例 1 の構成について説明を続ける。

出力データ有効信号発生器 2 は、次段 FIFO 回路のステータス信号 (STN S) を受け入れて (監視し)、該次段 FIFO 回路がデータ書き込み可能であると、次段 FIFO ライトイネーブル信号 (WE<sub>n</sub>) をアサートし、データを該次段 FIFO 回路へ書き込み可能にする部分である。即ち、拡張用 FIFO 回路 1 が次段に向けて出力するデータ (DOUT) の有効/無効を表す出力データ有

効信号NWE<sub>O</sub>を出力する。この出力データ有効信号NWE<sub>O</sub>は、次段のライトイネーブル信号(WE<sub>n</sub>)として機能することになる。

## 【0022】

上記出力データ有効信号発生器2には、拡張用FIFO回路10に前段から送られてくるライトイネーブル信号(WE<sub>p</sub>)と、内部FIFO回路1のステータス信号S1と、次段FIFO回路のステータス信号STNFと後記内部FIFOリードイネーブル発生器4が出力する内部FIFOリードイネーブル信号S2とが入力される。ここで、内部FIFOリードイネーブル信号S2がアサート(Lレベル)しているか、又は次段FIFOがデータ書き込み可能であるとき、即ち、次段FIFOのステータス信号がHレベルのときに出力データ有効信号NWE<sub>O</sub>はLレベルになる。この状態は次段FIFOのライトイネーブル信号(WE<sub>n</sub>)がアサートしていることと等価である。

## 【0023】

内部FIFOライトイネーブル発生器3は、次段FIFO回路のステータス信号(STNS)を受け入れて(監視し)、該次段FIFO回路がデータ書き込み不可であると、内部FIFOライトイネーブル信号(S3)をアサートし、入力データ(DIN)を内部FIFO回路1へ書き込み可能にする部分である。この内部FIFOライトイネーブル発生器3には次段FIFO回路のステータス信号(STNS)と、後記内部FIFOリードイネーブル発生器4が出力する内部FIFOリードイネーブル信号S2とが入力される。

## 【0024】

ここで、内部FIFOライトイネーブル発生器3は、次段のステータス信号(STNF)がLレベル(次段のメモリがフル(満)の状態)のとき前段からライトイネーブル信号WE<sub>p</sub>を受け入れると内部FIFOライトイネーブル信号(S3)をアサート(Lレベル)する。又、後記内部FIFOリードイネーブル発生器4が出力する内部FIFOリードイネーブル信号S2がアサートしたときも前段からライトイネーブル信号WE<sub>p</sub>を受け入れると内部ライトイネーブル信号(S3)をアサート(Lレベル)する。

## 【0025】

内部FIFOリードイネーブル発生器4は、次段FIFO回路のステータス信号（STNF）を受け入れて（監視し）次段FIFO回路がデータ書き込み可能であり、且つ、内部FIFO回路1のステータス信号（S1）を受け入れて（監視し）内部メモリがエンプティ（空）でないときは、内部FIFOリードイネーブル信号（S2）をアサートしメモリ内部に格納されているデータを出力させる。

#### 【0026】

出力データ発生器5は、入力データを受け入れて次段FIFO回路へ出力し、内部FIFOリードイネーブル信号がアサートすると入力データに換えて内部FIFO回路1内に格納されているデータを優先して読み出し、次段FIFO回路に出力する部分である。ここでの出力は、次段FIFO回路の入力データ（DINn）となる。

#### 【0027】

尚、上記構成要素の全てはIC化又はモジュール化されて、拡張用FIFO回路10を構成し、ノードDINは、入力データを受け入れ、ノードWCLKはクロック信号を受け入れ、ノードWEPは、前段のライトイネーブル信号を受け入れ、ノードSTはステータス信号を出力し、ノードSTNFは次段FIFO回路のステータス信号を受け入れ、ノードNWE0は次段FIFO回路へライトイネーブル信号を出力し、ノードDOUTは次段FIFOデータを出力する。

#### 【0028】

##### ＜具体例1の動作＞

図3は、拡張用FIFO回路のタイムチャートである。

図の上から順番にクロック信号（CLK）、ライトイネーブル入力信号（WEP）、内部FIFOリードイネーブル信号（S2）、内部FIFOライトイネーブル信号（S3）、次段FIFOステータス信号（STNF）、出力データ有効信号（NWE0）、入力データ（DIN）、内部FIFO出力データ（S4）、出力データ（DOUT）、内部FIFOステータス信号（S1）の状態を示し、最下段に各信号に共通の時刻領域を表している。ここでWEP、S2、S3の各信号は、Lレベルがアサート状態であるものとし、STNF信号は、Lレベルの

ときに次段F I F O回路がフル（書き込み不可）状態を示している。各時刻領域での各信号の状態の一例について説明する。

## 【 0 0 2 9 】

## ・時刻領域A

ライトイネーブル信号（WE<sub>p</sub>）がアサートされ、入力データ（DIN）として0を受け入れる。ここでは次段F I F Oステータス信号（STNF）がHレベルを示しているので、次段F I F O回路は、データの書き込み可能である。従って、入力データ（DIN<sub>0</sub>）は、内部F I F O回路に格納されることなく、そのまま出力データ発生器5を通して次段F I F O回路の入力データ（DIN<sub>n</sub>）となって出力される（DOU<sub>T</sub>）。又、次段F I F O回路がデータ書き込み可能（STNFがHレベル）なので出力データ有効信号発生器2は、出力データ有効信号（NWE<sub>O</sub>）をLレベルにする。この状態は次段F I F O回路のライトイネーブル信号（WE<sub>n</sub>）がアサートされた状態である。

## 【 0 0 3 0 】

## ・時刻領域B

ライトイネーブル信号（WE<sub>p</sub>）がアサートされているが、次段F I F Oステータス信号（STNF）がLレベルを示しているので、次段F I F O回路は、データの書き込み不可である。従って、出力データ有効信号発生器2は、出力データ有効信号（NWE<sub>O</sub>）をHレベルにする。この状態は次段F I F O回路のライトイネーブル信号（WE<sub>n</sub>）がアサートされていない状態である。その代わりに内部F I F Oライトイネーブル発生器3が内部F I F Oライトイネーブル信号（S<sub>3</sub>）をアサートする。その結果、入力データ（DIN）のデータ1は、内部F I F O回路1に格納される。

## 【 0 0 3 1 】

## ・時刻領域C

ライトイネーブル信号（WE<sub>p</sub>）がアサートされているが、内部F I F Oリードイネーブル信号（S<sub>2</sub>）もアサートされている。又、次段F I F Oステータス信号（STNF）がHレベルを示しているので、次段F I F O回路は、データの書き込み可能である。この場合には、出力データ発生器5は、まず内部F I F O

回路 1 に格納されているデータ 1 を読み出して (S 4)、出力データ (DOUT) として次段 F I F O 回路へ送る。次に、入力データ (DIN) であるデータ 2 を内部 F I F O 回路 1 に格納する。又、内部 F I F O 回路 1 のライトカウンタは、時刻領域 B で受け入れたデータ 1 を 1 クロック遅れてカウントして 1 となる。従って、内部 F I F O ステータス信号 (S 1) は、1 となる。

【0 0 3 2】

・時刻領域 D

内部 F I F O リードイネーブル信号 (S 2) がアサートされている。又、次段 F I F O ステータス信号 (S T N F) が H レベルを示しているので、出力データ発生器 5 は、まず内部 F I F O 回路 1 に格納されているデータ 2 を読み出して (S 4)、出力データ (DOUT) として次段 F I F O 回路へ送る。又、内部 F I F O 回路 1 のライトカウンタは、時刻領域 C で受け入れたデータ 2 を 1 クロック遅れてカウントして 2 となる。更に、内部 F I F O 回路 1 のリードカウンタは、時刻領域 C で読み出したデータ 1 を 1 クロック遅れてカウントして 1 となる。従って、内部 F I F O ステータス信号 (S 1) は、1 となる。

【0 0 3 3】

・時刻領域 E

ライトイネーブル信号 (W E p) がアサートされているが、次段 F I F O ステータス信号 (S T N F) が L レベルを示しているので内部 F I F O ライトイネーブル発生器 3 は、内部 F I F O ライトイネーブル信号 (S 3) をアサートする。その結果、入力データ (DIN) であるデータ 3 は、内部 F I F O 回路 1 に格納される。又、内部 F I F O 回路 1 のリードカウンタは、時刻領域 D で読み出したデータ 2 を 1 クロック遅れてカウントして 2 となる。従って、内部 F I F O ステータス信号 (S 1) は、0 となる。

【0 0 3 4】

・時刻領域 F

内部 F I F O 回路 1 にデータ 3 が格納されており、且つ、次段 F I F O ステータス信号 (S T N F) が H レベルを示しているので内部 F I F O リードイネーブル発生器 4 は、内部 F I F O リードイネーブル信号 (S 2) をアサートする。そ



の結果、出力データ発生器 5 は、内部 F I F O 回路 1 に格納されているデータ 3 を読み出して (S 4)、出力データ (D O U T) として次段 F I F O 回路へ送る。又、内部 F I F O 回路 1 のリードカウンタは、時刻領域 E で読み出したデータ 3 を 1 クロック遅れて既にカウントし、3 になっている。従って、内部 F I F O ステータス信号 (S 1) は、1 になっている。

【0 0 3 5】

・時刻領域 G

ライトイネーブル信号 (W E p) がアサートされているが、次段 F I F O ステータス信号 (S T N F) が L レベルを示しているので内部 F I F O ライトイネーブル発生器 3 は、内部 F I F O ライトイネーブル信号 (S 3) をアサートする。その結果、入力データ (D I N) であるデータ 4 は、内部 F I F O 回路 1 に格納される。又、内部 F I F O 回路 1 のリードカウンタは、時刻領域 F で読み出したデータ 3 を 1 クロック遅れて既にカウントし、3 になっている。従って、内部 F I F O ステータス信号 (S 1) は、0 である。

【0 0 3 6】

・時刻領域 H

内部 F I F O 回路 1 にデータ 4 が格納されており、且つ、次段 F I F O ステータス信号 (S T N F) が H レベルを示しているので内部 F I F O リードイネーブル発生器 4 は、内部 F I F O リードイネーブル信号 (S 2) をアサートする。その結果、出力データ発生器 5 は、内部 F I F O 回路 1 に格納されているデータ 4 を読み出して (S 4)、出力データ (D O U T) として次段 F I F O 回路へ送る。又、内部 F I F O 回路 1 のライトカウンタは、時刻領域 G で読み出したデータ 4 を 1 クロック遅れて既にカウントし、4 になっている。更に、内部 F I F O 回路 1 のリードカウンタは、時刻領域 F で読み出したデータ 3 を 1 クロック遅れて既にカウントし、4 になっている。従って、内部 F I F O ステータス信号 (S 1) は、0 になっている。

【0 0 3 7】

以上説明した具体例 1 の動作をまとめると次の論理に集約される。

(1) 拡張用 F I F O 回路は、次段の F I F O 回路への書き込みが可能なとき



、即ち、次段の F I F O 回路が空いている場合には、入力データを直接次段の F I F O 回路へ送る。図 3 の時刻領域 A が、この場合に該当する。

【 0 0 3 8 】

(2) 拡張用 F I F O 回路は、次段の F I F O 回路への書き込みが不可なとき、即ち、次段の F I F O 回路がフル（空いていない）の場合には、入力データを内部 F I F O 回路 1 へ格納する。図 3 の時刻領域 B、E が、この場合に該当する。

【 0 0 3 9 】

(3) 拡張用 F I F O 回路は、次段の F I F O 回路への書き込みが可能なき、即ち、次段の F I F O 回路が空いている場合であって、且つ、内部 F I F O 回路にデータが格納されている場合には、この内部 F I F O 回路に格納されているデータを次段の F I F O 回路へ送る。図 3 の時刻領域 F、H が、この場合に該当する。

【 0 0 4 0 】

(4) 拡張用 F I F O 回路は、次段の F I F O 回路への書き込みが可能なき、即ち、次段の F I F O 回路が空いている場合であって、内部 F I F O 回路にデータが格納されており、且つ、入力データを受け入れたときは、内部 F I F O 回路に格納されているデータを優先して次段の F I F O 回路へ送る。図 3 の時刻領域 C が、この場合に該当する。

【 0 0 4 1 】

尚、上記の説明では、同一のクロック信号（C L K）で動作させているが、本発明は、この例に限定されるものではない。即ち、データ入力のクロック信号とデータ出力のクロック信号は同一クロックである必要はなくタイミングの異なるクロック信号を用いても良い。又、上記説明ではステータス信号（S T）は、内部メモリに格納されているデータ量を表しているが、本発明は、この例に限定されるものではない。即ち、内部メモリがフル（満）であるかエンプティ（空）であるかを判別できる信号であれば良い。

【 0 0 4 2 】

更に、上記説明では、本発明による拡張用 F I F O 回路を既存の F I F O 回路

の前後に 1 段付加する場合のみについて説明したが、本発明はこの例に限定されるものではない。他の例について図を用いて説明する。

図 4 は、拡張用 F I F O 回路を用いた F I F O モジュールの接続図である。

図に示すように既存の F I F O 回路 1 1 に本発明による拡張用 F I F O 回路 1 0 - 1 ~ 1 0 - n を従属接続して拡張用 F I F O 回路を用いた F I F O モジュールを構成することができる。

#### 【 0 0 4 3 】

図に示すように、既存の F I F O 回路 1 1 の D I N と拡張用 F I F O 回路 1 0 - 1 の D O U T を、既存の F I F O 回路 1 1 の W E と拡張用 F I F O 回路 1 0 - 1 の N W E O を、既存の F I F O 回路 1 1 の S T と拡張用 F I F O 回路 1 0 - 1 の S T N F を各々接続する。拡張用 F I F O 回路同士での接続では、次段拡張用 F I F O 回路の D I N と前段拡張用 F I F O 回路の D O U T を、次段拡張用 F I F O 回路の W E p と前段拡張用 F I F O 回路の N W E O を、次段拡張用 F I F O 回路の S T と前段拡張用 F I F O 回路の S T N F を接続する。更に、全ての F I F O 回路にクロック信号を供給する。このようにして拡張用 F I F O モジュールを容易に構成することができる。

#### 【 0 0 4 4 】

以上説明したように、拡張用 F I F O 回路を構成することによって、図 4 に示すように、拡張用 F I F O 回路を従属接続し、容易に拡張用 F I F O モジュールを構成することができる。又、拡張用 F I F O モジュールに拡張用 F I F O 回路 1 0 - ( n + 1 ) を容易に追加する事も可能になる。その結果、F I F O 回路のメモリ容量が足らなくなった場合等に、後から必要に応じてメモリ容量を即座に、且つ、簡単に拡大することが可能になるという効果を得る。

#### 【 0 0 4 5 】

##### < 具体例 2 >

本具体例では、少ないメモリ容量の F I F O を用いて送受信ができる送受信装置を実現する。通信装置の使用環境の変化によっては、既存の送信 F I F O 回路、及び、受信 F I F O 回路の何れか一方のメモリ容量が不足し、他方に余裕が有る場合があり得る。更に、急にその状態が逆転する場合もあり得る。このような

場合に具体例 1 で実現した拡張用 F I F O 回路を瞬時に受信 F I F O 回路、又は送信 F I F O 回路へ切換接続することを可能にする。かかる目的を達成するために本具体例の送受信装置は以下のように構成される。

## 【 0 0 4 6 】

図 5 は、拡張用 F I F O 回路を用いた送受信装置のブロック図である。

図より、拡張用 F I F O 回路を用いた送受信装置は、拡張用 F I F O 回路 1 0、送信 F I F O 回路 2 1、受信 F I F O 回路 2 2、第 1 のセクタ 2 3、第 2 のセクタ 2 4、第 3 のセクタ 2 5、第 4 のセクタ 2 6 とを備える。

## 【 0 0 4 7 】

第 1 のセクタは、送信信号系統 2 7 及び受信信号系統 2 8 の何れか一方を拡張用 F I F O 回路 1 0 へ切換接続可能とするセクタである。

第 2 のセクタは、送信 F I F O 回路 2 1 及び受信 F I F O 回路 2 2 の何れか一方のステータス信号を拡張用 F I F O 回路 1 0 の内部 F I F O ライトイネーブル発生器 3 (図 1)、出力データ有効信号発生器 2 (図 1)、及び内部 F I F O リードイネーブル発生器 4 (図 1) へ切換接続可能とするセクタである。

## 【 0 0 4 8 】

セクタ 3 は、拡張用 F I F O 回路 1 0 の出力データ発生器 5 (図 1) と出力データ有効信号発生器 2 (図 1)、及び送信信号系統 2 7 の何れか一方を送信 F I F O 回路 2 1 へ切換接続可能とするセクタである。

セクタ 4 は、拡張用 F I F O 回路 1 0 の出力データ発生器 5 (図 1) と出力データ有効信号発生器 2 (図 1)、及び受信信号系統 2 8 の何れか一方を受信 F I F O 回路 2 2 へ切換接続可能とするセクタである。

## 【 0 0 4 9 】

以上説明した第 1 のセクタ 2 3、第 2 のセクタ 2 4、第 3 のセクタ 2 5、第 4 のセクタを切り換えることによって送信 F I F O 回路 2 1 及び受信 F I F O 回路 2 2 のいずれか一方に拡張用 F I F O 回路 1 0 を接続することができる。その結果、送信 F I F O 回路 2 1、のメモリ容量が不足し、受信 F I F O 回路 2 2 のメモリ容量に余裕が有る場合には拡張用 F I F O 回路 1 0 を送信 F I F O 回路 2 1 に接続することができる。又、送信 F I F O 回路 2 1、のメモリ容量に

余裕があり、受信FIFO回路22のメモリ容量が不足している場合には拡張用FIFO回路10を受信FIFO回路22に接続することができる。

【0050】

ここでは、送信FIFO回路21のメモリ容量及び、受信FIFO回路22のメモリ容量を、それぞれのステータス信号に基づいて、メモリ容量の過不足を判断し、上記第1のセレクタ23、第2のセレクタ24、第3のセレクタ25、第4のセレクタを自動的に切り換える制御部を更に備えることによって、より一層、正確、且つ、高速に切り換え可能な送受信装置を得ることができる。

【0051】

尚、以上の説明では送信FIFO回路21及び受信FIFO回路22の2個のFIFO回路の切り換えのみに限定して説明したが本発明は、この例に限定されるものではない。即ち、3個以上のFIFO回路の切り換えも上記と同様の技術によって実現することが可能である。

【0052】

以上説明した具体例2の構成を採用することによって、送信FIFO回路及び受信FIFO回路のいずれか一方に拡張用FIFO回路を接続することができるので、送信FIFO回路のメモリ容量が不足し、受信FIFO回路のメモリ容量に余裕がある場合には拡張用FIFO回路を送信FIFO回路に接続することができる。又、逆の場合には拡張用FIFO回路を受信FIFO回路に接続することができる。その結果、拡張用FIFOのメモリ容量を効果的に利用することができるという効果を得る。

【0053】

【発明の効果】

以上説明したように、拡張用FIFO回路を構成することによって、以下の効果を得る。

1、拡張用FIFO回路を従属接続し、容易に拡張用FIFOモジュールを構成することができる。

2、拡張用FIFOモジュールに、更に、拡張用FIFO回路を容易に追加する事も可能になる。

3、その結果、F I F O回路のメモリ容量が足りなくなった場合等に、後から必要に応じてメモリ容量を即座に、且つ、簡単に拡大することが可能になるという効果を得る。

4、又、上記本発明による拡張用F I F O回路を上記送受信装置に用いて瞬時に受信F I F O回路、又は送信F I F O回路へ接続切換することによって、送信F I F O回路及び受信F I F O回路のいずれか一方に拡張用F I F O回路を接続することができるので、送信F I F O回路のメモリ容量が不足し、受信F I F O回路のメモリ容量に余裕が有る場合には拡張用F I F O回路を送信F I F O回路に接続することができる。又、逆の場合には拡張用F I F O回路を受信F I F O回路に接続することができる。その結果、拡張用F I F Oのメモリ容量を効果的に利用することができるという効果を得る。

【図面の簡単な説明】

【図 1】

具体例 1 の構成のブロック図である。

【図 2】

内部F I F O回路のタイムチャートである。

【図 3】

拡張用F I F O回路のタイムチャートである。

【図 4】

拡張用F I F O回路を用いたF I F Oモジュールの接続図である。

【図 5】

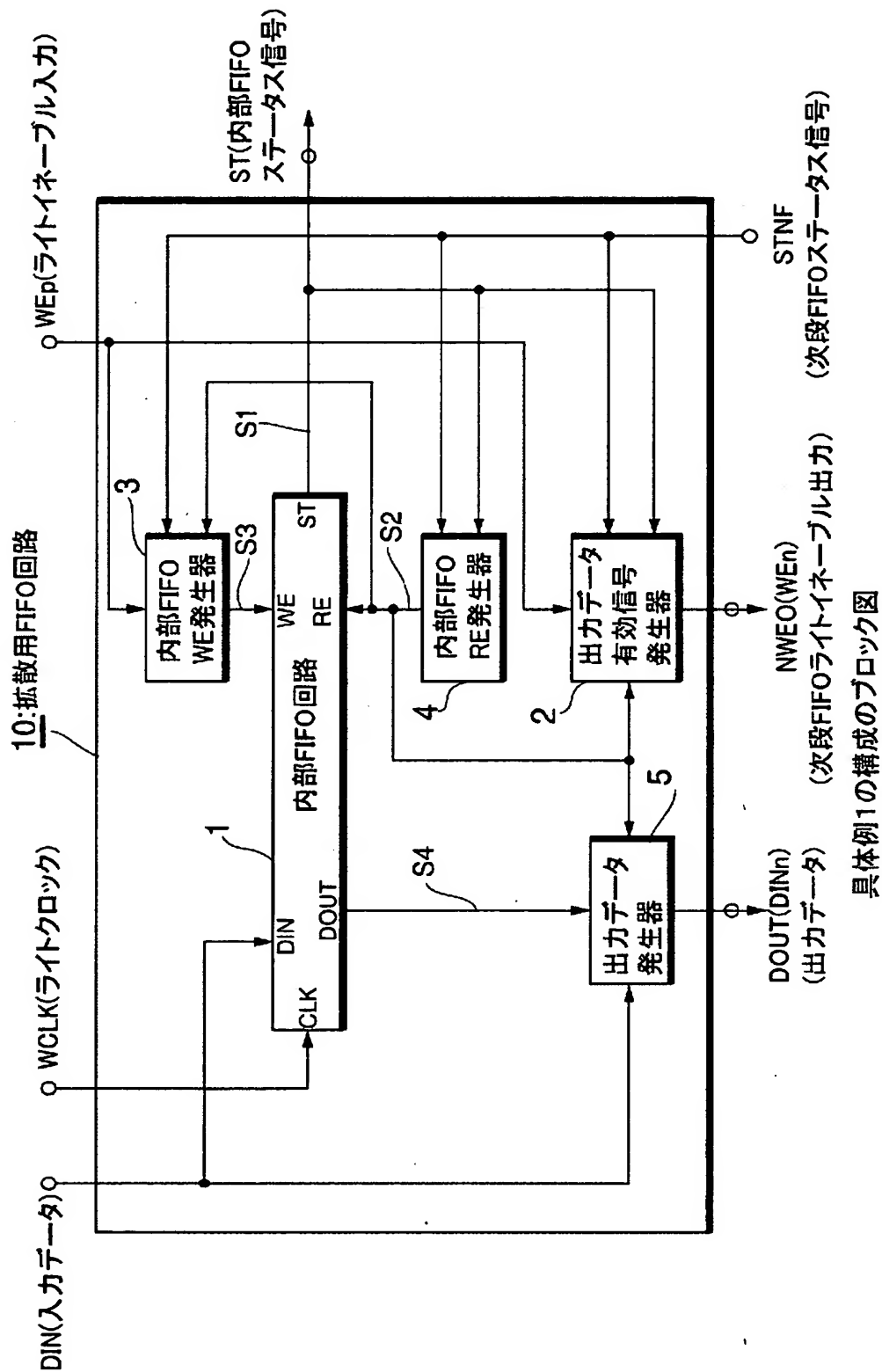
拡張用F I F O回路を用いた送受信装置のブロック図である。

【符号の説明】

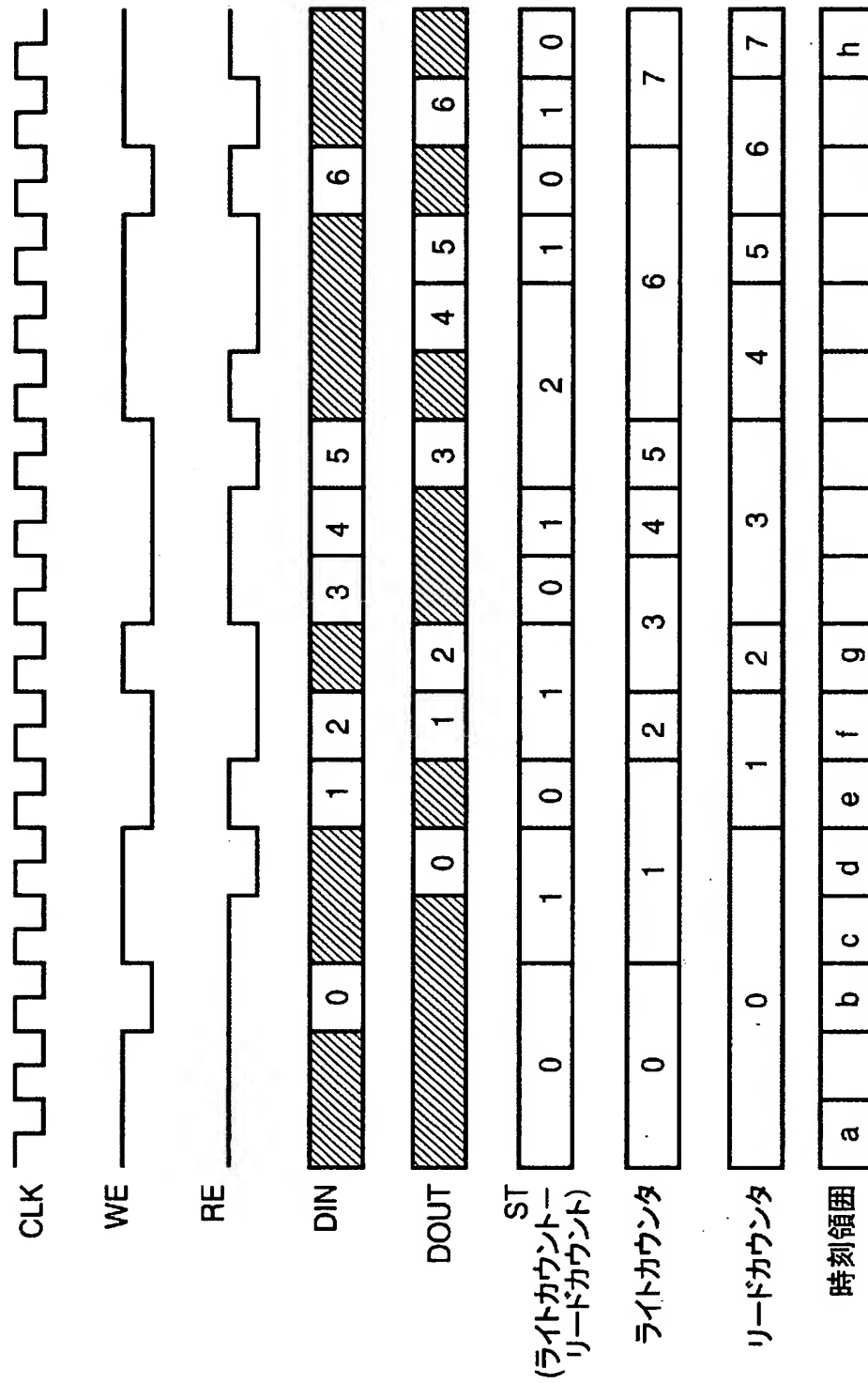
- 1 内部F I F O回路
- 2 出力データ有効信号発生器
- 3 内部F I F Oライトイネーブル発生器
- 4 内部F I F Oリードイネーブル発生器
- 5 出力データ発生器
- 1 0 拡張用F I F O回路

【書類名】 図面

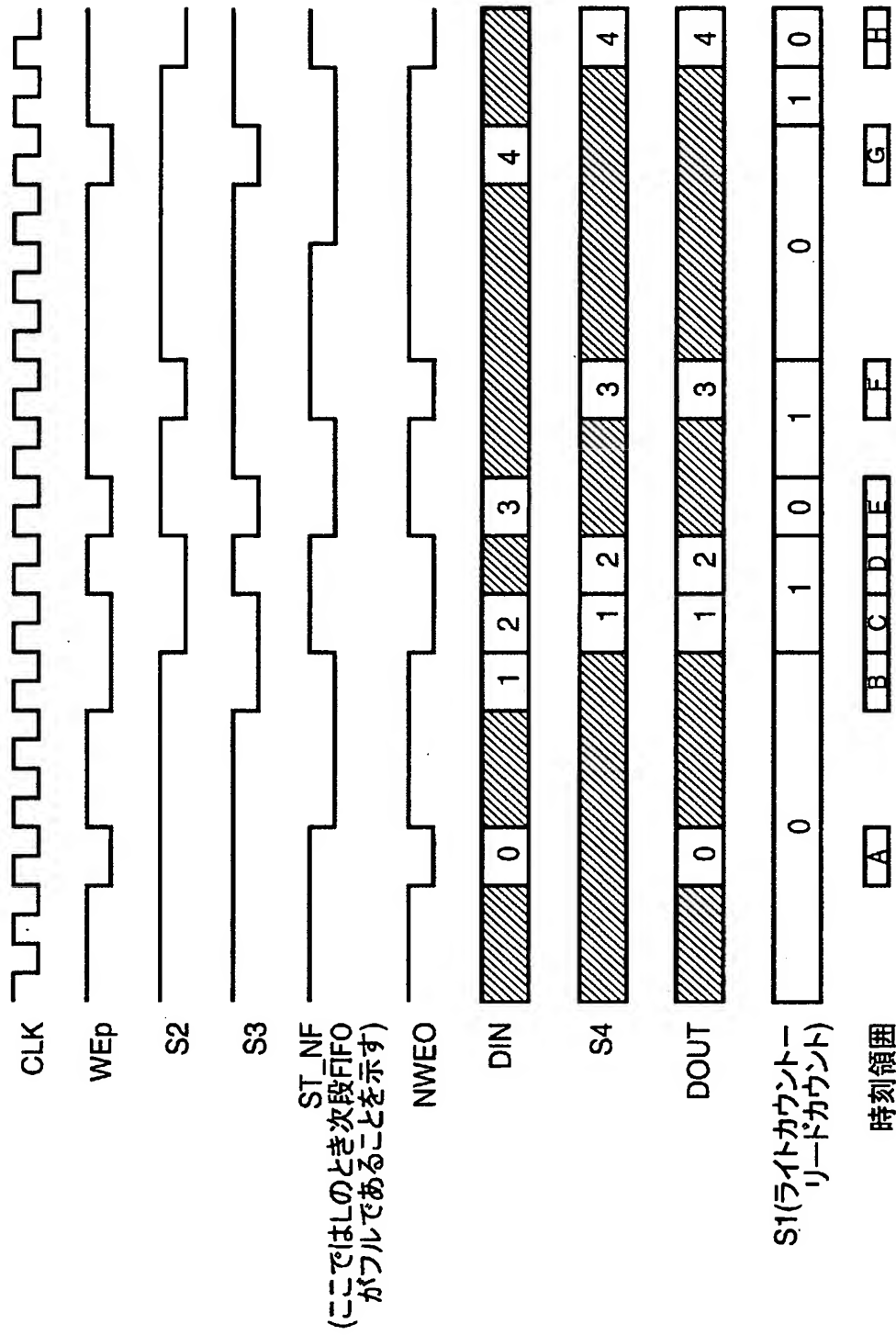
【図 1】



【図 2】



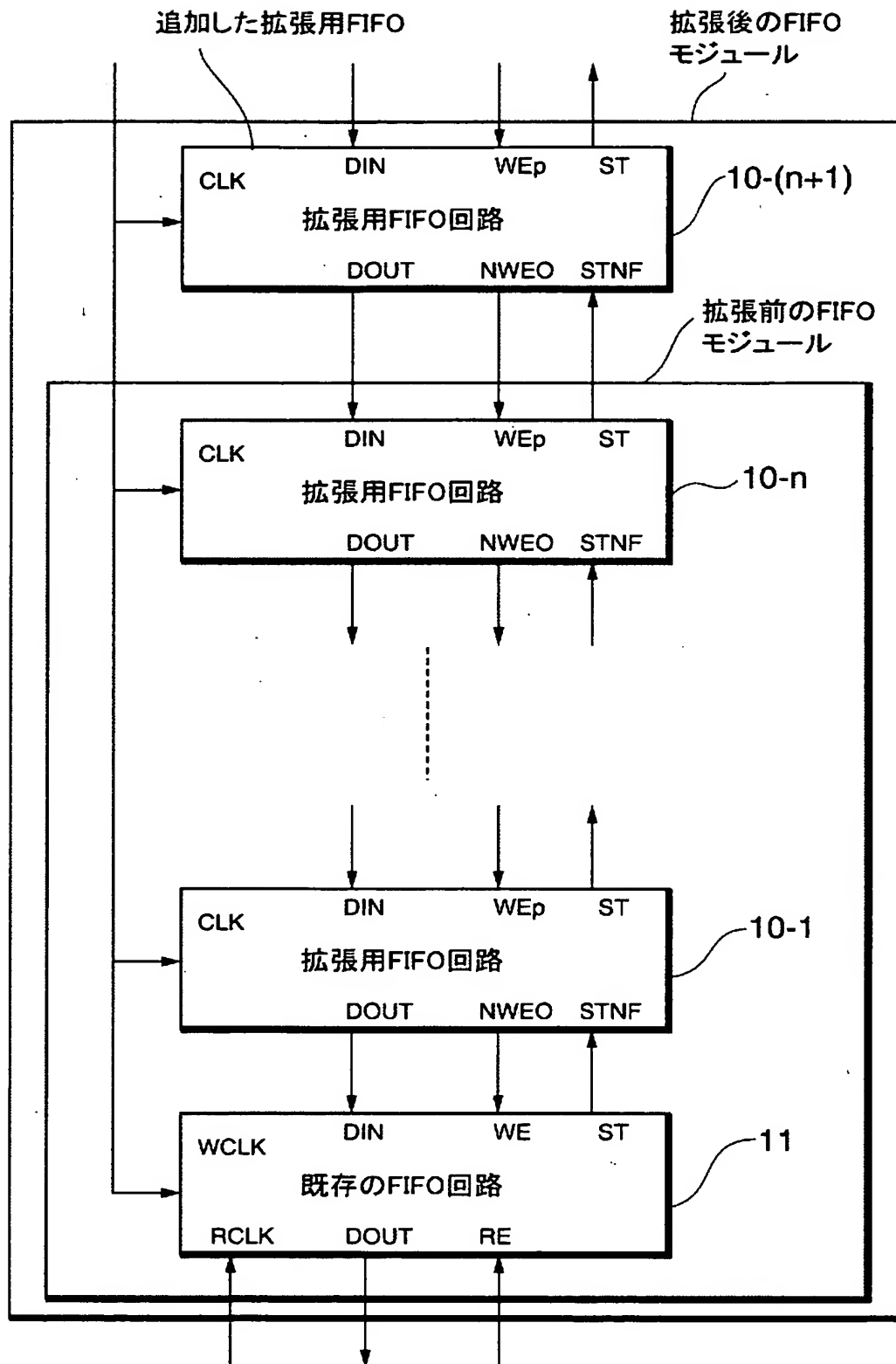
【図 3】



拡張用FIFO回路のタイムチャート

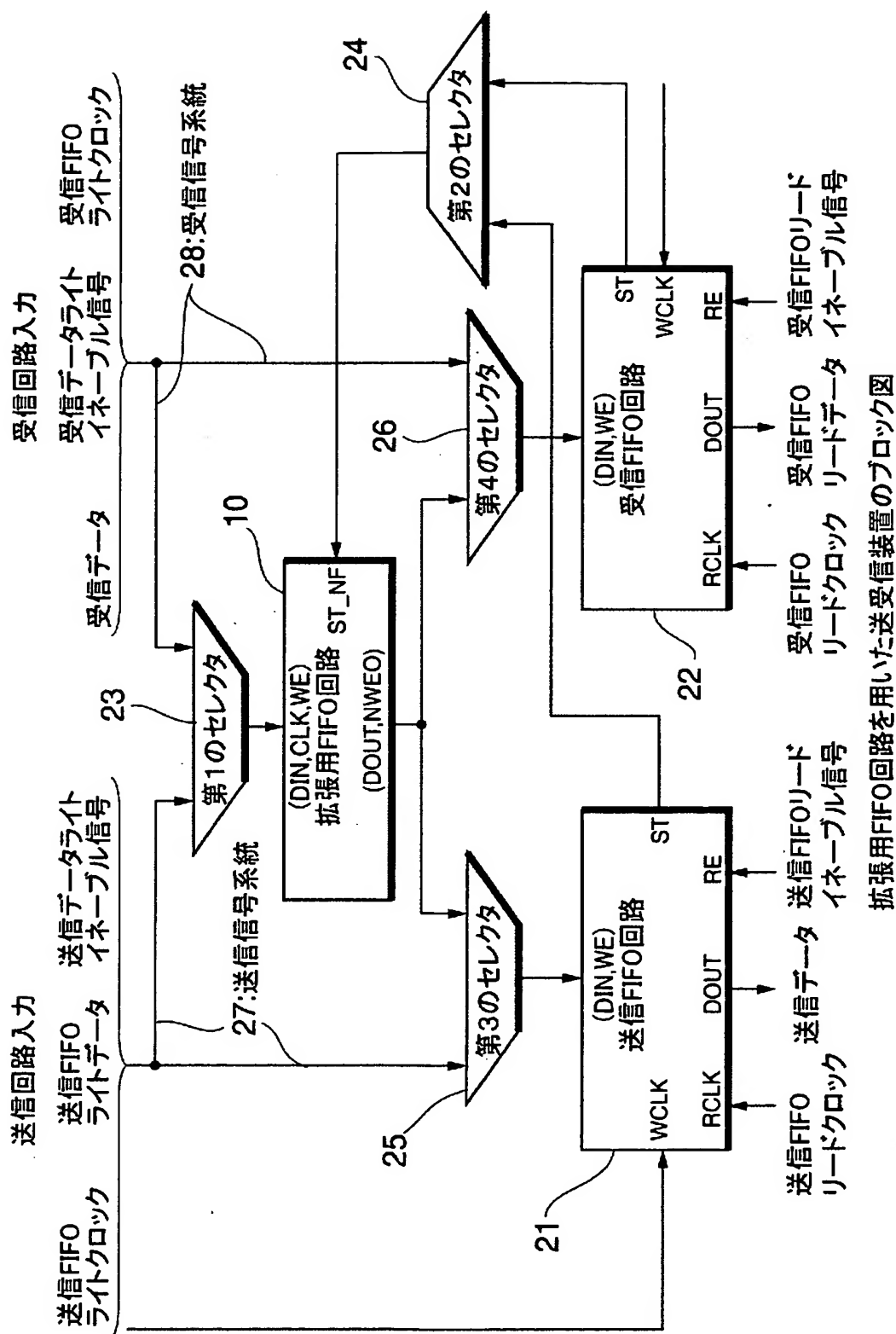


【図 4】



拡張用FIFO回路を用いたFIFOモジュールの接続図

【図 5】



【書類名】            要約書

【要約】

【解決手段】    次段F I F O回路のステータス信号S T N Fがデータ書き込み可能を示すと、次段F I F O回路のライトイネーブル信号N W E Oをアサートし、該次段F I F O回路にデータ書き込みを可能にする出力データ有効信号発生器2と、上記次段F I F O回路のステータス信号S T N Fを受け入れて、該次段F I F O回路がデータ書き込み不可であると、内部F I F Oライトイネーブル信号S 3をアサートし、上記内部F I F O回路1へのデータ書き込みを可能にする内部F I F Oライトイネーブル発生器3とを備える。

【効果】    F I F O回路のメモリ容量が足らなくなった場合等に、後から必要に応じてメモリ容量を即座に、且つ、簡単に拡大することが可能になる。

【選択図】            図 1

特 2 0 0 2 - 3 4 9 4 3 0

## 認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 4 9 4 3 0
受付番号	5 0 2 0 1 8 1 8 6 9 4
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 4 年 1 2 月 3 日

### < 認定情報・付加情報 >

【提出日】 平成14年12月 2日

次頁無

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社